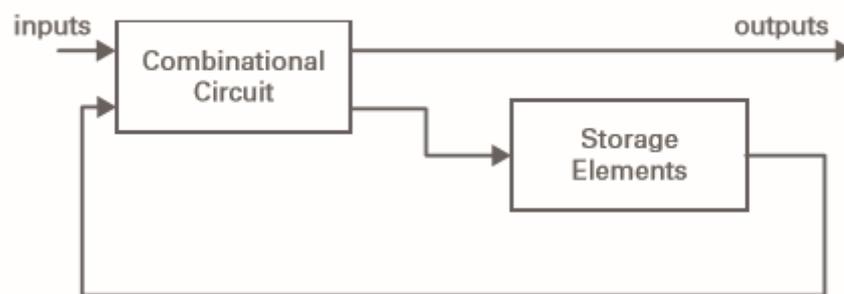


# Руководство к лабораторному практикуму: Введение в цифровую электронику

С использованием платы Digilent Digital Electronics для NI ELVIS III



Лабораторная работа 9:  
Последовательностные логические  
схемы и триггеры-защелки

© 2018 National Instruments

All rights reserved. Данный ресурс и любые его части не могут быть скопированы или в любой форме воспроизведены иным способом без письменного разрешения издателя.

National Instruments относится с уважением к чужой интеллектуальной собственности и призывает к этому же своих читателей. Данный ресурс защищен законами об охране авторских прав и прав на интеллектуальную собственность. Вы имеете право передавать программное обеспечение и прочие материалы, разработанные с помощью описанного в данном ресурсе программного обеспечения, третьим лицам в соответствии с условиями приобретенной вами лицензии и другими законодательными ограничениями.

LabVIEW и National Instruments являются торговыми марками National Instruments.

Названия других упомянутых торговых марок и изделий являются собственностью их правообладателей.

**Дополнительные ограничения ответственности:** Читатель принимает все риски от использования данного ресурса и всей информации, теорий и программ, содержащихся или описанных в нем. Данный ресурс может содержать технические неточности, типографические ошибки, прочие ошибки и упущения, и устаревшую информацию. Ни автор, ни издатель не несут ответственности за любые ошибки или неточности, за обновление любой информации и за любые нарушения патентного права и прочих прав на интеллектуальную собственность.

Ни автор, ни издатель не дают никаких гарантий, включая, но не ограничиваясь, любую гарантию на достаточность ресурса и любой информации, теорий или программ, содержащихся или описанных в нем, и любую гарантию, что использование любой информации, теорий или программ, содержащихся или описанных в ресурсе, не нарушит любое патентное право или иное право на интеллектуальную собственность. РЕСУРС ПОСТАВЛЯЕТСЯ "КАК ЕСТЬ". ИЗДАТЕЛЬ ЗАЯВЛЯЕТ ОБ ОТКАЗЕ ОТ ЛЮБЫХ ГАРАНТИЙ, ЯВНО ВЫРАЖЕННЫЕ ИЛИ ПОДРАЗУМЕВАЕМЫХ, ВКЛЮЧАЯ, НО НЕ ОГРАНИЧИВАЯСЬ, ЛЮБЫЕ ПОДРАЗУМЕВАЕМЫЕ ГАРАНТИИ ТОВАРНОГО СОСТОЯНИЯ, ПРИГОДНОСТИ ДЛЯ КОНКРЕТНОЙ ЦЕЛИ И НЕНАРУШЕНИЯ ПРАВ ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ.

Издатель или автор не предоставляют прав или лицензий под любым патентным правом или иным правом на интеллектуальную собственность прямо, косвенно или лишением права на возражение.

НИ ПРИ КАКИХ ОБСТОЯТЕЛЬСТВАХ ИЗДАТЕЛЬ ИЛИ АВТОР НЕ НЕСУТ ОТВЕТСТВЕННОСТИ ЗА ПРЯМЫЕ, КОСВЕННЫЕ, ОСОБЫЕ, СЛУЧАЙНЫЕ, ЭКОНОМИЧЕСКИЕ ИЛИ ВТОРИЧНЫЕ УБЫТКИ, ПОНЕСЕННЫЕ ИЗ-ЗА ИСПОЛЬЗОВАНИЕ ЭТОГО РЕСУРСА ИЛИ ЛЮБОЙ ИНФОРМАЦИИ, ТЕОРИЙ ИЛИ ПРОГРАММ, СОДЕРЖАЩИХСЯ ИЛИ ОПИСАННЫХ В НЕМ, ДАЖЕ БУДУЧИ ПРЕДУПРЕЖДЕННЫ О ВОЗМОЖНОСТИ ПОДОБНЫХ УБЫТКОВ, И ДАЖЕ ЕСЛИ УБЫТКИ ВЫЗВАНЫ НЕБРЕЖНОСТЬЮ ИЗДАТЕЛЯ, АВТОРА ИЛИ ИНЫХ ЛИЦ, Применимое законодательство может не разрешить исключение или ограничение случайных или косвенных убытков, поэтому приведенные выше ограничения или исключения могут вас не касаться.

## Лабораторная работа 9: Последовательностные логические схемы и триггеры-защелки

Во всех предыдущих лабораторных работах мы имели дело с комбинационными логическими схемами. Выходные сигналы комбинационной логической схемы определяются только текущими значениями входных сигналов. В этой лабораторной работе мы ознакомимся с последовательностными логическими схемами на примере триггеров-защелок. Выходные сигналы последовательностной схемы определяются не только текущими, но и предыдущими значениями входов. Мы также рассмотрим использование в схемах сигналов синхронизации, что обсуждалось вкратце в лабораторной работе 7: *Мультиплексоры и демultipлексоры*.

### Цель работы

В этой лабораторной работе студенты должны:

1. Понять разницу между синхронными и асинхронными последовательностными схемами.
2. Протестировать и сравнить схемы D-триггеров на основе логических элементов и простых триггеров-защелок.
3. Исследовать характеристическую таблицу тактируемого RS-триггера.
4. Пронаблюдать и объяснить отличие D-триггеров от RS- триггеров.

### Необходимые инструментальные средства и технологии

Программное обеспечение: NI Multisim  
14.0.1 Education Version или выше

- ✓ Установка Multisim:  
[http://www.ni.com/gate/gb/GB\\_ACADEMICEVALMULTISIM/US](http://www.ni.com/gate/gb/GB_ACADEMICEVALMULTISIM/US)
- ✓ Справка Multisim Help:  
<http://www.ni.com/multisim/technical-resources/>

## Ожидаемые результаты

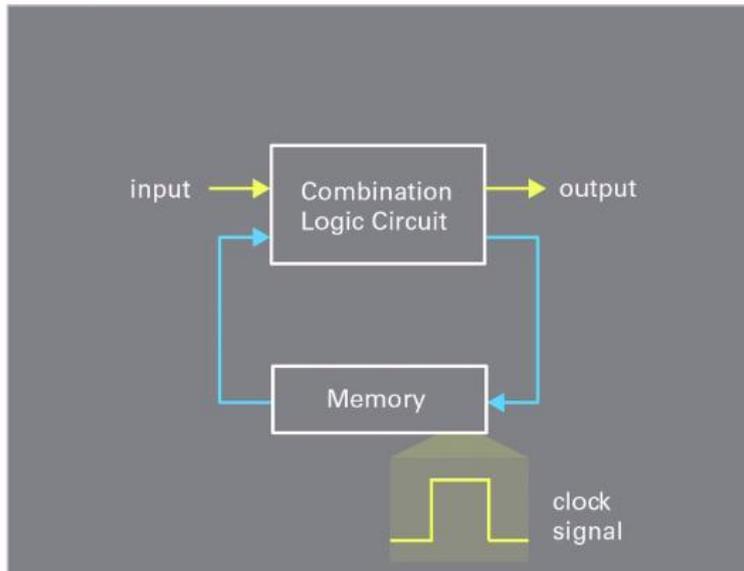
В этой лабораторной работе вы должны собрать для отчета:

- Характеристические таблицы триггеров-защелок
- Результаты сравнения триггеров-защелок
- Записи состояний пробников
- Ответы на вопросы из раздела *Заключение*

Преподавателю, скорее всего, необходимо предъявить полный отчет о работе. Узнайте у вашего преподавателя, есть ли конкретные требования к отчету или шаблон для его оформления.

## 1.1 Сведения из теории

### Sequential Circuit



Output depends on past behaviour

Synchronous:

- Knows its signal at distinct moments in time

Asynchronous:

- Knows its signal at any moment in time

Рисунок 1-1 Видео Просмотр видео здесь: <https://youtu.be/RMY4rTyVso0>



#### Краткое содержание видео

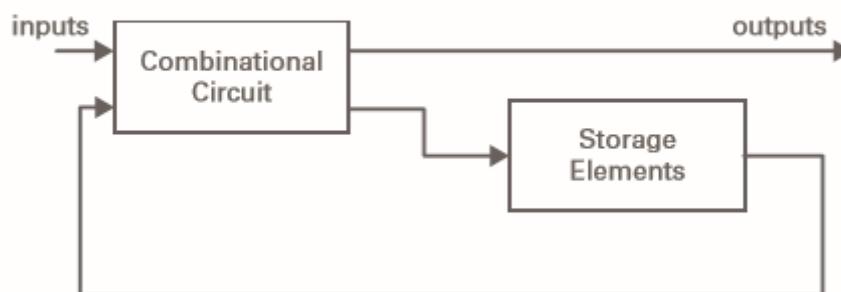
- Выходные сигналы последовательной схемы зависят как от текущей комбинации входных сигналов, так и от предыдущей последовательности входных сигналов
- Существует два класса последовательных схем: синхронные и асинхронные
- Тактовый сигнал – это последовательность импульсов прямоугольной формы

## Последовательная схема

*Последовательная схема* - это схема, выходные сигналы которой зависят не только от текущей, но и от предыдущей последовательности комбинаций входных сигналов.

- Основным функциональным элементом последовательных схем является элемент с двумя устойчивыми состояниями.
- Состояние последовательной схемы представляется в виде набора бит (переменных состояния), которые содержат всю информацию о прошлом состоянии схемы, необходимую для определения ее состояния в будущем.
- Выходные сигналы последовательной схемы зависят как от текущих, так и от предыдущих значений входных сигналов.

Блок-схема последовательной логической схемы приведена ниже.



*Рисунок 1-2 Блок-схема последовательной логической схемы*

Inputs – входы, outputs- выходы, Combinational Circuit – комбинационная схема, Storage Elements – элементы памяти

В зависимости от синхронизации функционирования последовательные схемы делятся на два основных класса:

1. *Синхронные последовательные схемы*, состояние и выходные сигналы которых изменяются в соответствии с информационными входными сигналами, но только по сигналу синхронизации.
2. *Асинхронные последовательные схемы*, состояние и выходные сигналы которых изменяются при изменении входных сигналов в любой момент времени.

В данной лабораторной работе исследуются синхронные, последовательные схемы, называемые далее просто последовательными схемами.

## Сигналы синхронизации

Сигнал синхронизации (или синхроимпульс) – это последовательность импульсов прямоугольной формы. интервал между импульсами, которые вместе образуют Период синхроимпульсов складывается из длительности импульса и интервала между импульсами.

- Мы уже встречались с сигналами синхронизации в лабораторной работе 7: *Мультиплексоры и демультиплексоры*.
- Эти сигналы используются последовательными схемами для синхронизации переключений в схеме и обновления сохраняемых значений.
- Большинство последовательных схем изменяют свое состояние по фронту (нарастающему или спадающему) тактовых импульсов, и называются схемами с *синхронизацией по фронту*.
- При работе с последовательными схемами важно учитывать события синхронизации. Поэтому кроме таблицы истинности следует знать порядок возникновения этих событий, то есть *временную диаграмму логических сигналов*.
- Таблица, описывающая функционирование последовательных схем, часто называется *характеристической таблицей*, а не таблицей истинности, как у комбинационных логических схем.
- Большинство цифровых систем являются принципиально синхронными схемами, которые проще спроектировать и отладить, и изменяют выходные значения только в определенные моменты времени. В состав таких схем всегда входят некоторые асинхронные схемы.
- Внизу слева приведен пример сигнала синхронизации, а справа – пример временной диаграммы для элемента AND.

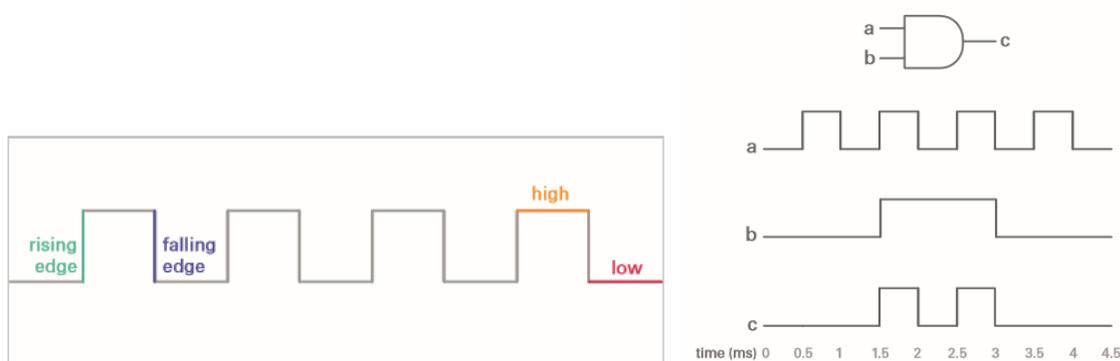


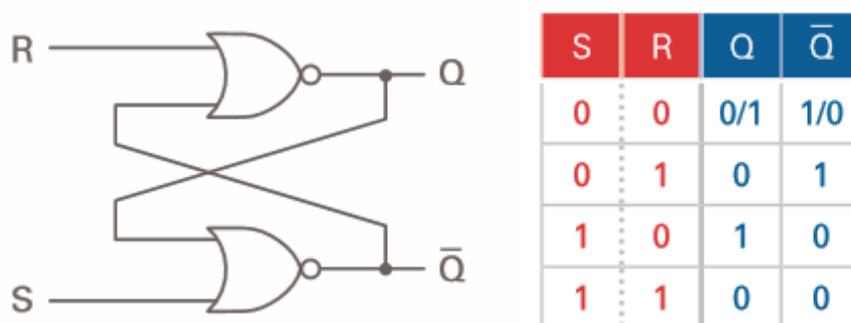
Рисунок 1-3 Последовательность импульсов (слева) и временная диаграмма для элемента AND (справа)

## RS-триггер

*Триггер-защелка* - элемент памяти, который срабатывает по уровням сигнала, а не по фронтам.

- Триггер-защелка чувствителен к уровню и является основным элементом триггеров, которые будут рассмотрены далее.
- Одной из самых простых последовательностных схем является базовый триггер-защелка.

Он показан на рисунке ниже, а его функциональность описана в соответствующей характеристической таблице.



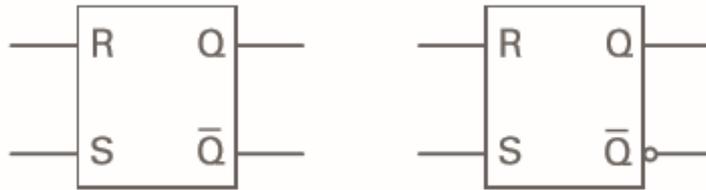
*Рисунок1-4 Базовый триггер-защелка (слева) и его характеристическая таблица (справа)*

- У триггера два входа – S (Set, установка) и R (Reset, сброс), и два выхода Q (прямой) и  $\bar{Q}$  (инверсный), где  $\bar{Q}$  является дополнением (отрицанием) Q.
- Состояние защелки управляется сигналами по входам S и R, которые устанавливают и сбрасывают выход Q.
- "Установка" значит, что на выходе Q появляется логическая 1, а "сброс" - что логический 0.

**Примечание:** Выходные сигналы схемы зависят не только от текущего значения сигналов на входах, но и от предыдущего значения выходных сигналов.

- Когда на обоих входах 0, выходные сигналы остаются неизменными.
- Импульс на входе S устанавливает выходной сигнал равным 1, а импульс на входе R сбрасывает триггер (Q=0).
- Комбинация входов S=1 и R=1 запрещена, поскольку тем самым на обоих выходах устанавливается 0, что приводит к нестабильности схемы.
  - В реальных приложениях запрещено устанавливать оба входа в 1.

Условное графическое обозначение RS-триггера показано на рисунке ниже.



*Рисунок 1-5 Условное графическое обозначение RS-триггера*

RS-триггер является бистабильным элементом, хранящим один бит, состояние которого представляется на выходе Q. Управление состоянием осуществляется сигналами на двух входах S и R. Когда ни на один из входов не подается сигнал, триггер остается в прежнем состоянии. RS-триггер представляет собой базовый элемент большинства структур статической памяти.

## Синхронный RS-триггер и D-триггер

*RS-триггер-защелка* изменяет состояние в произвольные моменты времени при изменении сигналов на входах.

- Можно модифицировать его работу таким образом, чтобы временем изменения состояния управлял входной сигнал разрешения (*ENABLE*).
- Такая схема называется синхронизируемым (тактируемым) RS-триггером.
- В качестве сигнала разрешения может использоваться сигнал ON/OFF, сигнал синхронизации или тактовый сигнал.
- Работа синхронизируемого (тактируемого) RS-триггера описывает характеристическая таблица (в центре).  $Q(t)$  представляет текущее состояние триггера, а  $Q(t+1)$  – следующее состояние.
- Схема RS-триггера показана внизу слева, а его условное графическое обозначение – внизу справа.

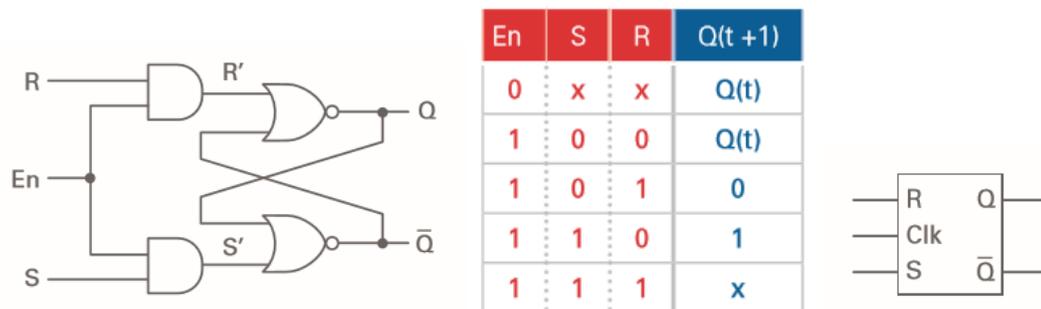


Рисунок 1-6 Схема триггера (слева), характеристическая таблица (в центре) и условное графическое обозначение (справа)

*D-триггер* устраняет нежелательное неопределенное состояние RS-триггера.

- Он гарантирует отсутствие 1 на обоих входах R и S одновременно.
- У схемы D-триггера только два входа, D и Clk или En.
- D – вход данных.
- Схема D-триггера показана на рисунке внизу слева, его характеристическая таблица - в центре, а условное графическое обозначение - справа.



Рисунок 1-7 Схема D-триггера (слева), характеристическая таблица (в центре) и условное графическое обозначение (справа)

1-1 Чем последовательностные логические схемы отличаются от комбинационных?

---

---

---

---

1-2 В чем разница между синхронными и асинхронными последовательностными схемами?

---

---

---

---

1-3 Заполните таблицу, отмечая основные особенности следующих триггеров.

RS-триггер	Тактируемый RS-триггер	D-триггер

## 1.2 Схема тактируемого D-триггера из логических элементов

### D-триггер, схема 1

Запустите Multisim.

- Соберите следующую схему D-триггера из логических элементов:

**Примечание:** U2 – цифровая константа со значением **high** (1), а S1 – кнопка PB\_NO.

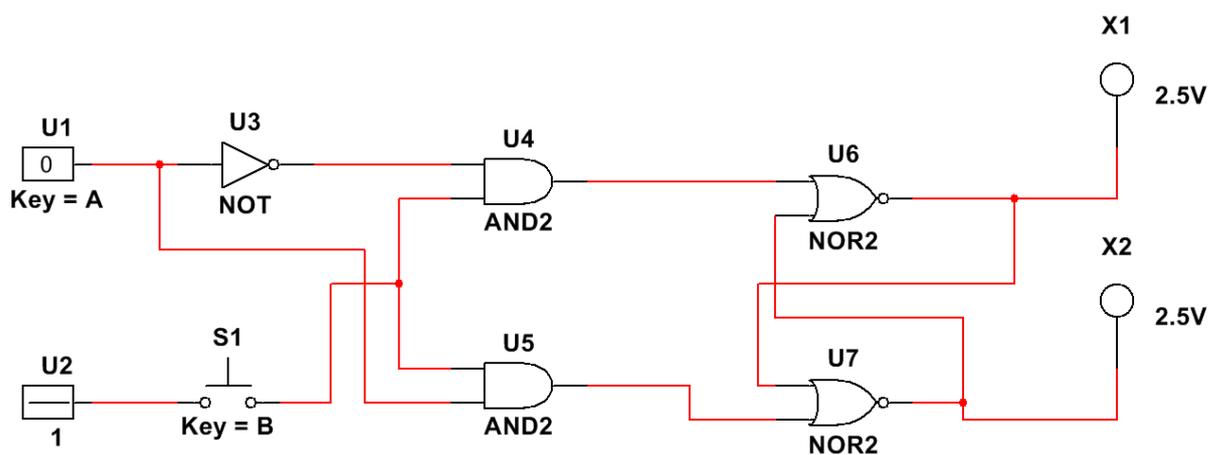


Рисунок 1-8 Схема D-триггера

## Тестирование схемы D-триггера на основе логических элементов:

- Запустите моделирование.
- Измените состояние U1 на **1**.

1-4 Изменились ли состояние пробников и почему?

---

---

---

---

**Примечание:** Наш тактовый сигнал моделируется интерактивной кнопкой **S1**.

- Нажмите кнопку.

1-5 Изменились ли состояние пробников и почему?

---

---

---

---

- Измените состояние U1 на **0**.

1-6 Изменились ли состояние пробников и почему?

---

---

---

---

- Нажмите кнопку.

1-7 Изменились ли состояние пробников и почему?

---

---

---

---

- **Остановите** моделирование.

1-8 Сравните ваши наблюдения с характеристической таблицей (рисунок 1-7).

---

---

---

---

1-9 Объясните принцип действия D-триггера согласно вашим наблюдениям.

---

---

---

---

## Исследование поведения D-триггера, схема 2

- Запустите Multisim.
- Соберите следующую схему:

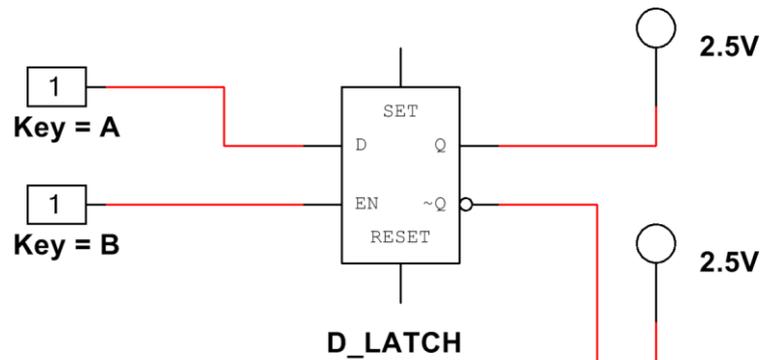


Рисунок 1-9 Схема D-триггера

- Запустите моделирование схемы.
- Установите вход Enable равным **0** и изменяйте состояние входа D с помощью клавиши **A** на клавиатуре.

1-10 Что происходит с пробниками?

---

---

- Установите вход Enable равным **1** и изменяйте состояние входа D с помощью кнопки **A** на клавиатуре.

1-11 Что происходит с пробниками?

---

---

1-12 Отличается ли поведение схемы 2 от поведения схемы 1?

---

---

### 1.3 Проверка характеристической таблицы тактируемого RS-триггера

#### Схема

- Запустите Multisim.
- Соберите следующую схему:

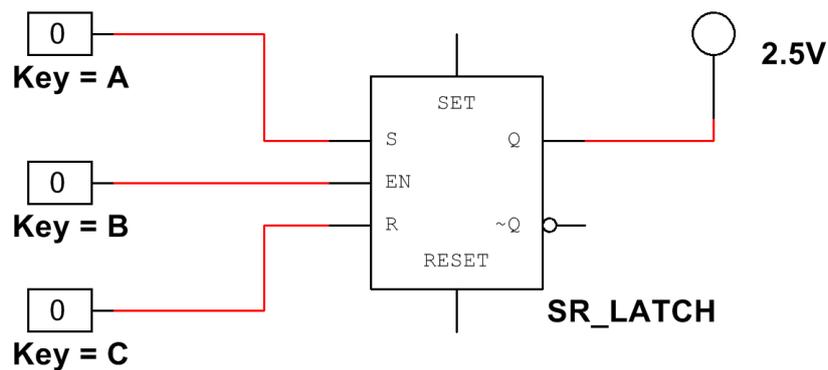


Рисунок 1-10 Схема RS-триггера

- Запустите моделирование.
- Используя предоставленную характеристическую таблицу, изменяйте значения входных переменных и наблюдайте за пробником.

En	S	R	Q(t + 1)
0	x	x	Q(t)
0	0	0	Q(t)
1	0	1	0
1	1	0	1
1	1	1	x

Рисунок 1-11 Характеристическая таблица

1-13 Если состояние входа Enable равно 0, имеет ли значение состояние входов S и R?

---

---

- Установите на входе Enable **1**.
- Установите на входе S **1**.

1-14 Включился ли пробник?

- A. Да
- B. Нет

- Установите на входе S **0**.

1-15 Включился ли пробник?

- A. Да
- B. Нет

1-16. Объясните происходящее.

---

---

---

---

- Установите R равным **1**.

1-17 Включился ли пробник?

- A. Да
- B. Нет

1-18. Объясните происходящее.

---

---

---

---

- **Остановите моделирование.**

1-19 Увидели ли вы запрещенные по характеристической таблице состояния? Если и S, и R равны 1, что показывает пробник?

---

---

---

---

## 1.4 Заключение

1-20 Объясните на основании ваших наблюдений, в чем основные отличия поведения D-триггеров и RS-триггеров?

---

---

---

---

1-21 Когда полезно использовать D-триггер? RS-триггер?

---

---

---

---

1-22 В чем разница между входом синхронизации (Clk) и входом разрешения (En)?

---

---

---

---

1-23 Поведение последовательностной схемы зависит от:

- A. Количества и типа защелок
- B. Только от значений входных переменных
- C. От текущих значений входных переменных и предыдущих состояний
- D. От предыдущих 4 битов

1-24 Какой компонент используется в последовательностных схемах для синхронизации:

- A. RS-триггеры
- B. Сигналы синхронизации
- C. Тактируемый D-триггер
- D. Ничего из вышеперечисленного

1-25 Из каких логических элементов состоит тактируемый RS-триггер?

- A. 2 элементов AND и 2 элементов NOR
- B. 2 элементов AND и элемента XNOR
- C. 2 элементов AND и элемента XOR
- D. 2 элементов AND и элемента NOT

1-26 В характеристической таблице тактируемого RS-триггера  $Q(t+1)$  представляет:

- A. Запрещенное состояние
- B. Текущее значение выхода
- C. Устранения состояния  $Q(t+1)$
- D. Следующее состояние

1-27 В D-триггере нежелательное неопределенное состояние RS-триггера-защелки устраняется путем:

- A. Уменьшения количества логических элементов, требуемых для построения схемы
- B. Использования только двух входов: D и Clk или En
- C. Удаления состояния  $Q(t+1)$
- D. Добавления еще одного входа